

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

[19]中华人民共和国专利局

[11] 授权公告号 CN 1029047C



[12] 发明专利说明书

[21] ZL 专利号 90103968.3

[51]Int.Cl³

G06F 13/16

[45]授权公告日 1995年6月21日

[24]原证日 95.4.14

[21]申请号 90103968.3

[22]申请日 90.5.30

[30]优先权

[32]89.6.19 [33]US[31]368,449

[73]专利权人 国际商业机器公司

地址 美国纽约

[72]发明人 罗尔弗·M·伯岗

[74]专利代理机构 中国国际贸易促进委员会专利商

标事务所

代理人 杜日新

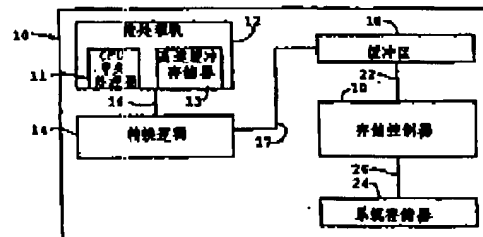
说明书页数:

附图页数:

[54]发明名称 具有把组块脉冲式操作转换为流水线操作装置的数据处理系统

[57]摘要

一种数据处理系统包括一个微处理器,此微处理器以组块方式从存储器中读取数据。存储器及它的控制器和总线可以以流水线方式运行,阵列逻辑连接在微处理器和其余的器件之间用于把组块方式转换为流水线方式。



— 20 —

权 利 要 求 书

1. 一种数据处理系统,该系统含有一个包括有多个可按存储器地址寻访的存储单元的系统存储器、一个与所述系统存储器相连的存储器控制器、及一个与所述存储器控制器相连用于以流水线操作方式从所述存储器读出数据的总线,所述存储器控制器将许多信号包括存储器地址传送给所述系统存储器,其特征在于包括:

一个处理器,以产生组块周期请求,包括定义组块操作方式的许多信号,用于从所述存储器取出预定数目的许多数据项,所述组块方式是与所述流水线方式不兼容的,所述处理器产生所述许多数据项中第一数据项的第一系统地址;

连接所述微处理器到所述总线的装置,该装置包括转换逻辑装置,用于在所述组块操作方式期间,将来自所述处理器的所述组块信号转换成符合所述该水线操作方式的流水线信号,所述逻辑装置通过所述总线将所述流水线信号送给所述系统存储控制器,由此,在接下的周期中,所述许多数据项由所述系统存储器中取出,所述流水线信号包括所述第一系统地址及其后所述许多数据项中某些数据项的许多的系统地址,所述其后的系统地址由所述转换逻辑产生。

2. 如权利要求 1 所述的数据处理系统,其特征在于:

所述处理器是在芯片上形成的;

所述芯片还包括一个高速缓冲存储器,具的许多缓存器线,每个线具有存储预定数目的数据项的能力,所述处理器在所述组块方式期间每次填充一个缓存器线,所述许多数据项在数目上对应于所述高速缓冲存储器线之一中的数据项的预定数目。

3. 如权利要求 2 所述的数据处理系统,其特征在于:

所述处理器以产生存储在所述系统存储器中第一数据项的所述第一系统地址来启动所述地址选通信号指明所述第一系统地址是有效的;

所述存储器控制器工作取出所述第一数据项并将其传送到所述高速缓冲存储器,存储在所述高速缓冲存储器线之一;

所述转换逻辑装置接收所述第一系统地址及所述选通信号,并响应之,在接下的周期中向所述总线输出所述的其后系统地址,用于将所述数据项的所述其它项存储在所述第一数据项所在的高速缓冲存储器线中。

4. 如权利要求 3 所述的数据处理系统,其特征在于:

每个系统地址包括预定数目的位;

所述逻辑装置存储所述位中某些位,在取所述数据项的所述其它项时使用,并且所述逻辑装置对每个其它数据项产生新位,该新位与所述位的所述某些位相组合形成每个其它数据项的系统地址。

说 明 书 E 5 1 4 8

具有把组块脉冲式操作转换为
流水线操作装置的数据处理系统

本发明涉及数据处理系统，详细说，涉及的数据处理系统，其中以组块脉冲方式（burst mode）操作的微处理器可用于被主要设计成以流水线方式操作的系统中。

IBM个人系统/2，型号70386，机器号为8570-A21是人们熟知的32位个人计算机，可以在市场买到，使用了英特公司的80386微处理器。这样的计算机具有相当高的性能至少在一定程度上利用这样的设计，数据可以以流水线方式通过总线传送。众所周知，计算机的操作是周期性的，时钟把操作化分为时钟或机器周期，而在机器周期内，各种操作按一定时序进行。例如为了在存储器和微处理器之间传送数据，在运行周期中，首先在总线上装入用于数据读写的存储器地址，在紧跟其后很短的下一个周期内，数据被装在总线上。当连续的数据单元被传送时，使用非流水线传送方式，在此传送方式下，在连续的周期里顺延地传送地址和数据单元，没有任何重叠传送。在流水线操作方式下，数据单元在连续的机器周期里而不是在间隔的周期被传送，后续数据单元的地址在前期数据传送时被装在总线上。最近，英特公司提供了一种新型商业化的32位微处理器，即80486微处理器。这种微处理器包括一个中央处理器（CPU），一个高速缓冲存储器，一个浮点器，一个存储管理器。上述四种器件组成了一个芯片即80486。相比较，前文中所提到的个人计算机，上述器件中的后三种是分离的。

80486微处理器在组块脉冲方式和非组块脉冲方式下都可以运行,在非组块脉冲方式下,数据以每两个时钟周期存储一个数据单元的最大速度选通介于微处理器和存储控制器之间的总线上,这个数据单元包含32比特的信息(4个字节)。在一个组块脉冲周期内,可以从系统、存储器里一连续数据流或数据包中取出16字节的信息,要求在四个连续的时钟周期里有四个双字节(32比特-4字节)被选通到总线上。因此组块脉冲周期,在周期开始之时使用唯一的地址选通,提供四次存取,每次存取32比特,并可产生四次存储器存取的可予定的顺序。对组块周期来说,有两个主要优点。首先,它允许系统存储器接口观察每次16比特的唯一的按照预定顺序的地址选通。因此可能消除了分离周期进入存储器选通四个双字符中的每一个所需要的时间。第二,组块周期为微处理器提供了填充在芯片上的高速缓冲存储器的简便方法。这样的高速缓冲存储器有16字节的行尺寸,并且,组块周期可以一次填充高速缓冲存储器要求的一行16字节。

可以提出这样的目标即把使用80386微处理器的个人计算机改为使用80486微处理器的具有较高性能的个人计算机,但有一个问题就是,由于80486微处理器不支持流水线方式的操作,并且现存的存储器接口不能有效的工作,因此限制了系统性能的发挥。本发明解决了上面涉及的在计算机中如何使用新的微处理器替代旧的微处理器方面存在的问题,从而使个人计算机在不改变外部硬件的情况下,完成高的性能操作。

本发明的目标之一是提供这样一种计算机其总线系统可以以流水线方式运行,同时这样的计算机使用的微处理器也支持组块脉冲操作方式。另一个目标是提供一种计算机使其使用的微处理器可以以组块

脉冲方式运行，同时把组块脉冲方式的操作转换为流水线方式，使现存储器接口逻辑不发生变化。

简单地说，上面论及的方法和本发明的其它目标是提供在微处理器、存储器逻辑和总线系统间辅助的逻辑连接，它的逻辑功能从微处理器来看，是把组块脉冲方式转换为从存储器逻辑来看的流水线方式。

附图：

从下面的与图示相联系的说明来看，本发明的其它目标和优势是显而易见的。

图1表示本发明个人计算机图解框图。

图2是理解用于图1所示的本发明的可编程阵列逻辑示意图。

图3是说明本发明运行过程信号时序图。

现在参考图示，首先看图1，个人计算机10包括一个微处理器12，通过总线16与转换逻辑相连。微处理器12为80486微处理器，可以在英特公司买到，并在1989年4月、顺序号为2440-001，名为“微处理器1486技术手册”的出版物上有所说明。下面将要更详细的说明转换逻辑14，并说明它的通常功能是把由微处理12产生的组块脉冲方式的操作转化成对系统其余部分来说为流水线方式的操作。微处理器12包括一个芯片上的中央处理器11和一个高速缓冲存储器13。现在要说明的其它元件与上面提到的170386型个人计算机的对应元件是相同的，所以仅对理解本发明操作有用的功能和操作加以说明。转换逻辑14，通过总线17连结到缓冲器18，而缓冲器通过总线22与存储控制器20相连，随机存取存储器（RAM）24通过总线26与存储控制器20相连。存储器24是作为系统存储器。

转换逻辑 1 4 包括通常的可编程阵列逻辑电路装置，此装置根据下面图 8 进行详细的操作编程说明。在详细描述逻辑图之前，先讨论逻辑语句是很有帮助的。可编程阵列逻辑电路是人们熟知的装置，根据所需要的逻辑，装置内部制作与门、或门、非门和触发逻辑电路。如：图 2 是可编程阵列逻辑电路的一部分，它包括两个与门电路 3 2 和 3 4，一个或门电路 3 6，一个非门电路 3 3 和一个触发器 3 8，其中触发器作为输出端，其输出信号为 E，此 E 信号为输入信号 A、B、C、D 在时钟脉冲 CLK 的作用下逻辑组合的结果。它们的逻辑关系如下所示：

$$E := A \& ! B \quad (1)$$

$$\# C \& D, \quad (2)$$

在语句 1 中，式“ $:=$ ”作为定界符表示触发器 3 8 的输出信号 E 由后面的信号逻辑组合而成。每一个与电路有一个语句。“ $\&$ ”表示与的组合，“ $\#$ ”表示或的组合，而“ $!$ ”表示非或反的功能。

转换逻辑 1 4 由两个可编程阵列逻辑电路装置组合而成。第一个装置接收以下输入信号，这些信号有以下所示功能。

信 号 (来自)	功 能
CLK (CPU)	25 MHz 中央处理器时钟
ADS (CPU)	- 中央处理器地址选通
CPURDY (CPU)	- 中央处理器准备就绪
BURSTRDY (CPU)	- 中央处理器或组周期准备就绪 (CPU BURST CYCLE READY)
BLAST (CPU)	- 中央处理器组块持续 (CPU BURST LAST)

信 号 功 能

RESET (CPU) + 复位
 MISS1 (PAL2) 用于组块周期的总线地址选通
 NACACHE (MO) 对下一地址的流水线方式请求
 CNT0 PAL2) 组块计数最低有效位
 A2 (CPU) 中央处理器的地址2 (A2)
 A3 (CPU) 中央处理器的地址3 (A3)
 CACHEABLE (PAL2) 高速缓冲存储器的读周期
 BUSCYC486 (PAL2) 中央处理总线周期

第一个可编程阵列逻辑电路提供如下输出信号:

信 号 (送往) 功 能

DELAYNA (CPU) 对保持NEWA2的不赋值的延迟
 LAB 寄存器地址3 (A3)
 NEWA2 (MO) (A2) 地址2至18和20
 NEWA3 (MO) (A3) 地址8至18和20

第一个可编程阵列逻辑电路的逻辑表达式如下:

```

1 DELAYNA      := ! CACHEABLE &
                  DELAYNA ! NACACHE &
                  BURSTRDY
                  # ! DELAYNA & ! CACHEABLE
                  & BURSTRDY;

1 LAB          := ! ADS & ! A3
                  # ! A3 & ADS;

1 NEWA2        := ! ADS & ! A2
  
```

```

#1 NEW2 & 1 BUSCYC486 &
ADS & CACHEABLE
#1 NEW2 & 1 CACHEABLE &
NACACHE & BURSTRDY &
CPURDY
#1 NEW2 & 1 CACHEABLE &
1 DELAYNA
#NEWA2 & 1 NACACHE & 1
CACHEABLE & DELAYNA,
1 NEWA3 := 1 ADS & 1 A3
#1 NEWA3 & 1 BUSCYC486 &
ADS & CACHEABLE
#1 NEWA3 & 1 CNTO
#1 NEWA3 & LA3 & 1
CACHEABLE
#1 NEWA3 & 1 CACHEABLE &
NACACHE & BURSTRDY &
CPURDY
#NEWA3 & LA3 & 1 CACHEABLE
& CNTO & 1 NACACHE

```

第二个可编程阵列逻辑电路的输入和输出信号如下:

输入信号 (来自) 功 能

CLK (CPU) 25 MHz 中央处理器时钟

ADS (CPU) - 中央处理器地址选通

输入信号

功 能

CPU RDY (CPU) - 中央处理器准备就绪
BURST RDY (MO) - 中央处理器组块周期准备就绪
BLAST (CPU) - 中央处理器组块持续 (CPU BURST LAST)
RESET (MO) + 复位
KEN (MO) - 高速缓冲存储器循环译码
PCD (CPU) + 80486 的高速缓冲存储器的页面
MIO (CPU) 中央处理器的 + 存储器 / - 输入 输出
WR (CPU) 中央处理器的 + 写 / - 读
DC (CPU) 中央处理器的 + 数据 / - 代码
CPU LOCK (CPU) - 中央处理器的锁定
NACACHE (MO) - 对下一地址的流水线方式的请求
BOFF (CPU) - 中央处理器的补偿 (BACKOFF)

输出信号 (送往)

功 能

BADS (MO) - 总线地址选通
CACHEABLE (PAL1) - 高速缓冲存储器读 80486
CNT1 组块周期最高有效位计数器的位
CNT0 (PAL1) 组块周期最低有效位计数器的位
BUSCY0486 (PAL1) - 中央处理总线周期
MISS1 (PAL1) - 流水线方式的总线地址选通

第二个可编程阵列逻辑电路的逻辑如下各语句所示:

```

| BUSCYC486 := | ADS & | RESET &
               BOFF
  
```

```

# | BUSCYC486 & CPURDY
  & BURSTRDY & | RESET
# | BUSCYC486 & CPURDY
  & BLAST & | RESET,
| CACHEABLE := | BUSCYC486 & WR &
  MIO & | PCD & | KEN
  & | RESET & CPULOCK
  & CACHEABLE
# | CACHEABLE & CPURDY
  & BURSTRDY & | REN
  & | RESET,
| CNT1 := | ADS & | WR & MIO
  & PCD & | RESET &
  BOFF
# | CNT1 & CNT0 &
  BURSTRDY & CPURDY
  & | RESET
# | CNT1 & | CNT0 &
  CPURDY & | RESET,
| CNT0 := | ADS & | WR & MIO
  & PCD & | RESET &
  BOFF
# CNT0 & | CNT1 &
  BURSTRDY & CPURDY

```

```

& ! RESET
# ! CNT0 & BURSTRDY &
  CPURDY & ! RESET,
! BADS      := ! ADS & ! RESET &
              BOFF
! MISS1     := ! CACHEABLE & BLAST
              & ! KEN & ! RESET &
              ! (CNT0 & CNT1) &
              MISS1
# ! MISS1 & BURSTRDY &
  CPURDY & RESET

```

在我们结合图 3 的时序图说明系统操作之前，应该注意微处理器 12 操作的一些问题。当高速缓冲存储器被启动时，读请求首先指向高速存储器，当高速存储器被选中时，从其中可以读数据。如果没有被选中，数据读请求会被放在外部的总线内。如果地址是在存储器的可存储区域内，在 -16 字节被读进高速缓冲存储器期间，微处理器 12 开始 - 高速缓冲存储行填充。

在一个组块周期内所传送二数据项的地址是有联系的，属于与高速缓冲存储器行相对应的区域排成一行的 16 字节。所传送的第一个双字符包括在读请求中含有的想要的字节，后面的双字符通过叫作“字符组和高速缓冲存储器行填充命令”的预定命令进行传送。在图 2 所应用的例子中，字符组命令为双字符：8 - C - 0 - 4。

现在参考图 3，以下的说明仅仅使用信号名来描述操作。
CLK 40 为系统时钟，此时钟信号向上升沿用来提供时间同步。一

个高速缓冲存储器行填充周期需要10个时钟周期传送16字节进入高速缓冲存储器13,时钟周期分别为40-1、40-2到40-10。为了简单起见,上面涉及的各种信号在图8中省略,但是,需要予置电平以保证微处理器12的二进制方式和存储器接口的流水线方式是有效的。因此,在整个所说明的时间间隔内,KEN为低电平时,CPU RDY为高电平;RESET为低电平时,MIO为高电平,以便指示存储器存取。

高速缓冲存储器行填充周期开始于CPU提供一个激励信号ADS44,且第一个双字符地址ADDB46被从存储器读进高速缓冲存储器和CPU之时。在第二个时钟周期40-2期间,CPU触发BLAST45,并使之保持高电平,直到第十个时钟周期40-10期间时钟电平由高电平变为低电平时,BLAST45的周期才算结束。ADDR46包括地址位A31-A4,此地址位决定了被取出的16字节的高速缓冲存储器行。地址位A2和A3由CPU做为信号48和50提供。所取的双字符的完整地址(位A31-A2)由信号46、48和50组合而成,对于所读的第一个数据项来说,这个地址是随机的。位A2和A3-被提供以后,就以预定的方式被触发以提供预定的高速缓冲存储器行填充序列,除此之外,激励信号A2和A3在组块周期内是太滞后的,不能用于流水线方式的操作。

在第一个总线周期42-1期间,转换逻辑14截取位A2和A3信号,产生新的地址信号NEWA2 52和NEWA3 54。激励信号52和54最初与其对应的信号A2和A3一样也是随机的。由转换逻辑14产生的连续的激励信号由52和54,是与高速

缓冲存储器行填充一致的。在具体的例子里，信号 `NEW A 2 5 2` 和 `NEW A 8 5 4` 表示填充序列 `8 - C - 0 - 4`。注意：信号 `5 2` 和 `5 4` 在其对应信号 `4 8` 和 `5 0` 之前被触发或改变。

为了使用流水线方式，以外系统引来了 `N A C A C H E 5 6` 信号。每个有效的（低电平）`N A C A C H E 5 6` 信号是来自存储器控制器 `2 0` 的请求，以便提供下一数据项的地址。微处理器 `1 2` 没有 `8 0 3 8 6` 对应的下一地址请求的输入脚，所以这样的微处理器不能直接支持流水线方式，然而，转换逻辑 `1 4` 使用了 `N A C A C H E 5 6` 信号，从而给出了支持流水线方式的外系统的。因此，外系统产生了 `4` 个有效的 `N A C A C H E 5 6` 信号，以指示系统存储器准备接受该操作的新地址。

存储控制器 `2 0` 产生了一个 `B U R S T R D Y 5 8` 信号，当有效数据信号 `6 0` 被装在数据总线上时，`B U R S T R D Y 5 8` 信号就有效，并且信号 `5 8` 被微处理器用来选送数据进入微处理器来填充高速缓冲存储器行。在第四个时钟周期第一个数据 `6 0 - 1` 开始有效，以后的数据项 `6 0 - 2`，`6 0 - 3` 和 `6 0 - 4` 分别在时钟周期 `4 0 - 6`，`4 0 - 8` 和 `4 0 - 1 0` 内开始有效。值得注意的是与流水线方式一样，在数据项寻址之前，有效信号 `NEW A 2` 和 `NEW A 3` 出现大约一个总线周期，并且，后面数据项的有效地址与前面数据项的有效是同时存在的。

由于在前面的可编程阵列逻辑电路的逻辑描述中，已经建立了更详细的操作，所以现在简单讨论图 `3` 中剩下的其它信号。有效的 `C A C H E A B L E 6 2` 信号表明高速缓冲存储器读访问在进行中。`C N T O 6 6` 信号和 `C N T I 6 4` 信号为计数位，它跟踪有效的二进

制数据段。BUSCY48668表示微处理器12正在执行一个外总线周期。DELAYNA70和LAB71(未在图3显示)信号是逻辑转换14所用的内部锁存器信号。MISSL72为逻辑输出信号。它被外系统用来作辅助地址存取信号。由于外系统接口总是在高速缓冲存储器读上产生流水线方式请求,假定其有效所以不需要有流水线请求输入进入MISSI逻辑。MISSI选通在二进制循环的第二、第三、第四段内有效。在四段中,第一段会出现一非流水线方式周期其它三段将为流水线方式周期。

熟知专业的人员应该清楚时钟周期的具体数目是系统时钟和电路速度的一项功能,并且可以不尽相同。在不超出下附的专利适用范围的前提下,部件在安排和细节方面可以进行一些变动。

该范围是指,

一种数据处理系统,该系统含有一个系统存储器和一个以流水线操作方式从上述存储器传送数据的总线,包括,

以组块操作方式运行的处理器;和连结上述微处理器到上述总线的装置,该装置包括在上述组块操作方式期间,把来自上述微处理器的信号转换成定义上述流水线操作方式的逻辑装置,上述逻辑装置把后面的信号输出到总线上送到上述存储器中,从而数据项在连续的时钟周期里从上述系统存储器传送到上述微处理器中。

上述微处理器做在一个芯片上,该芯片进一步包括,一个高速缓冲存储器,上述微处理器可以在上述组块操作方式期间填充该高速缓冲存储器,一次一个高速缓冲存储器行,各高速缓冲存储器行含有预定数目的数据项数目。

上述微处理器可以通过输出存储在上述系统存储器中的第一个数

据项的地址和表示该地址有效的地址选通信号,启动上述组块方式,上述逻辑装置可以在连续的周期内接收上述地址和选通信号,并且相应地将预定数目的与上述第一个数据项相关的辅助数据项的地址输出到上述总线上。

上述系统包括一个存储控制器,该控制器被连结为把信号输送到请求下一数据项地址的逻辑装置去,而且上述逻辑装置可以把上述预定数目的辅助数据的上述地址传送到上述逻辑控制器。

各地址组成一预定数目的二进制位数(bit),上述逻辑装置存储一定的上述二进制位数,以便在传送上述预定数目的数据项期间使用。而且上述逻辑装置可以为逐个数据项产生新的二进制位,新的二进制位把逐个数据与上述的一定的二进制位数相结合,从而形成各下一个数据项的地址。

说明书附图

图. 1

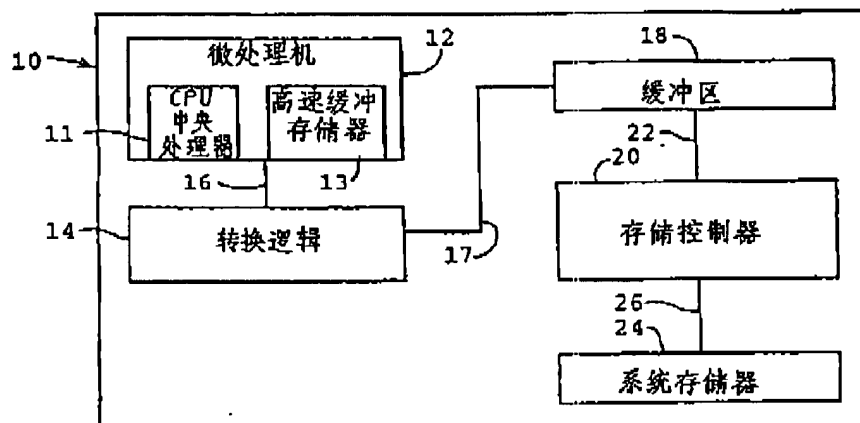
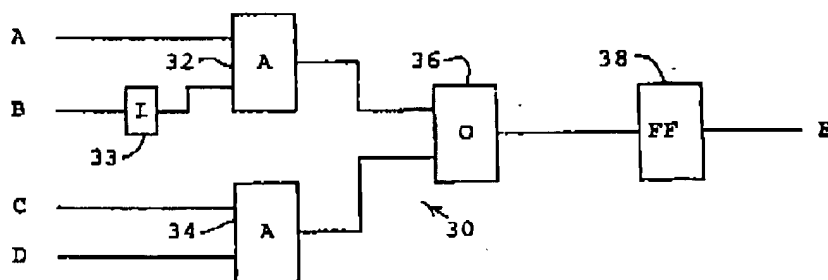


图. 2



90.05.00

图.3

